지식경제부 Ministry of Knowledge Economy	보도자료	함께하는 공정사회! 더 큰 희망 대한민국 http://www.mke.go.kr
2011년 8월 24일(수) 조간부터 보도하여 주시기 바랍니다.		
자료문의 : 문신학 반도체디스플레이과장(02-2110-5680), 오주철 사무관(5684)		

시스템반도체도 세계 1~3위 품목 출현
(AP 1위, CIS 2위, LDI 3위)
- '13년간 추진한 정부 최초 시스템반도체 R&D사업 성과물 발표 -
- SoC 초기기업 성장 지원을 위한 관련기관간 MOU 체결 -

□ 지식경제부(장관 최중경)는 **시스템반도체 초기 생태계 조성을** 위해 '98년부터 13년간 추진한 **「시스템반도체 2010 사업(Soc 2010)*」의 성과 전시회**를 8.23(화) 양재동 엘타워에서 개최

* 13년간('98~'11) 총 4,795억원(정부: 2,476억원, 민간: 2,319억원) 투자

○ 동 사업은 **시스템반도체 부문 정부 최초 R&D사업**으로서, AP(멀티미디어칩), LDI(디스플레이 구동칩), CIS(카메라 이미지 센서) 등 **세계 1~3위 품목**의 기술력을 확보하는 기반이 되었고,

* 국내 기업의 세계시장 점유율('10) : AP(53.2%, 1위), CIS(14.5%, 2위), LDI(27.1%, 3위)

- **실리콘웍스[1](LDI), TLI[2](타이밍컨트롤러), 실리콘마이터스[3](전력관리칩), 실리콘화일[4](CIS)이 핵심기술을** 확보하여 매출 **500억원 이상의 스타 팹리스 기업**으로 성장하는데 **견인차 역할**

1) '99 창업, '10년 매출 2,570억원 2) '98 창업, '10년 매출 813억원
3) '07 창업, '10년 매출 765억원 4) '02 창업, '10년 매출 724억원

- 동 사업으로 진행된 **195개 과제를 통해 총 7,126억원의 매출 증대와 2,850개의 일자리를 창출**하였고, 이날 성과 전시회는 **20개 기관에서 우수 성과물을 전시·발표함**

<주요 사업화 성과>

- ✓ (실리콘마이터스) '07년 전력관리칩(PMIC) 개발하여 700억원 이상 매출
- ✓ (실리콘화일) '05~'07 이미지센스(CMOS Image sensor)개발하여 230억원 이상 매출
- ✓ (TLI) '03~'05 타이밍 컨트롤러를 개발하여 100억원 이상 매출
- ✓ (실리콘웍스) '05~'07 디스플레이드라이브칩를 개발하여 60억원이상 매출
- ✓ (코아로직) '03~'05 멀티미디어칩을 개발하여 350억원 이상 매출
- ✓ (국제 협력) 해외 수요기업과 협업을 통해 IBM(美)에 풍산 90억원, 동진 50억원 이상 매출 TSMC(臺)에 주성 100억원 이상 매출

○ 또한, 금년에 마무리 되는 「Soc 2010 사업」에 이어서 향후 시스템 반도체산업을 이끌어갈 초기 **팹리스 기업 발굴·성장을 지원하기 위해 금년부터 추진한 「스타팹리스 프로젝트(SF-10)」의 선정기업과 관련기관간 "양해각서 체결식" 개최**

- 동 MOU 체결식에서는 **지경부, 반도체 펀드 운영사(에스브이인베스트먼트 등 5개 기업), 한국산업평가관리원, 한국전자통신연구원, 한국반도체산업협회가 공동 협력**키로 약정함

○ 이번 행사에는 김재홍 지경부 성장동력실장, 서영주 한국산업평가관리원장, 김형준 서울대 교수, 반도체 펀드 운영사 대표 등 반도체 분야 産·學·硏·官 주요인사 200여명이 참석

□ 「시스템반도체 2010 사업」은 그간 **메모리 중심의 반도체산업 구조에서 탈피**하여 **시스템반도체 초기 성장 토양**을 갖추는데 기여한 것으로 평가되고 있음

○ **연간 100여개 기관 1,000여명 참여**로 **기술 인력 인프라 확충**

* 시스템반도체 국내 인력 : ('98) 4,500명 → ('05) 12,000명 → ('10년) 22,000명

○ **반도체 설계기업의 수적양적 성장**으로 **국내 생산 및 세계 시장 점유율 확대**

* 시스템반도체 세계시장 점유율 확대 : ('01) 0.7% → ('10) 3.0%
* '98년 (46개/1,400억원) → '10년 (170개/1조 9천억원)

○ 아울러, **정부는 동 사업이 시스템반도체 및 반도체 장비재료 산업에 기여**한 점을 감안, 연구개발에 공이 큰 실리콘마이터스 정상화 수석, 주성엔지니어링 한정훈 수석, LG실크론 강희복 연구소장에 대하여 지식경제부 장관 표창을 수여함

※ 수상자 명단 및 공적개요 별첨

□ 금번 MOU 체결로 스타팹리스 프로젝트에 선정된 팹리스 기업(4개사)들은 지경부 및 관련기관으로부터 R&D 뿐만 아니라 **非 R&D 부문에 대해서도 패키지로 지원**받게 됨에 따라, 성장잠재력이 큰 **초기 팹리스 기업이 중소·중견 팹리스 기업으로 신속히 성장할 수 있는 토대**를 **마련할 수 있을 것으로 평가**됨

○ **R&D 자금** 이외에 **연구기관**으로부터 창업 보육공간 제공, 설계 환경 지원, 국책연구소 소속 연구인력 파견 지원, **반도체펀드 운영사**로부터 투자 자금 지원, **반도체 협회**로부터 해외시장 개척 등의 지원을 받게됨

* R&D 자금 : 3년간 총 90억원(정부 68억원, 민간 22억원)
* 非 R&D 패키지 지원 : 상용화 칩 시제품 제작 및 IP(총 비용의 50%까지), 설계 Tool, 반도체펀드('10.12 1차로 600억원 기조성), 한국통신연구원 소속 연구원 파견 지원 등

○ 이를 통해 선정 기업들은 '14년까지 ①엑스선 검출 센서 칩, ②그래픽 프로세서 칩, ③전원관리 칩, ④차량용 이미지 센서를 개발하여 상용화할 계획임

□ 한편, **김재홍 지식경제부 실장은 축사**를 통해 IT 융합 시대가 진행됨에 따라 주력제품의 스마트화도 확산되고 있어, **스마트화의 핵심인 SW-SoC 동반 육성은** 우리 산업 경쟁력 강화에 반드시 필요하며,

○ 정부도 **"소프트웨어-시스템반도체 공생 발전전략"**을 수립하여 **시스템반도체와 SW 산업을 집중 육성**하고, 이를 통해 **우리 기업들이 IT 융합 시대를 이끌어** 갈 수 있도록 **적극 지원**해 나갈 계획임을 밝힘

<별첨>

1. 시스템IC 2010 성과 전시회 및 스타팹리스 MOU 체결식 행사 개요
2. 시스템반도체 2010 사업 개요
3. 스타 팹리스 프로젝트 개요
4. 시스템반도체 2010 기술개발 포상 대상자 현황
5. 시스템반도체 2010 사업 주요 성과물

참고1 시스템IC 2010 성과 전시회 및 스타팹리스 MOU 행사 개요

1. 행사 개요

① **시스템반도체 초기 생태계 종성을** 위해 '98년부터 금년까지 13년간 추진한 **「시스템IC 2010 사업*」의 우수 성과물 전시·발표**

* 정부 지원 규모 : 2,476억원 지원(시스템반도체: 1,320, 공정: 920, 국제협력: 155)
* 연간 1,000여명이 R&D에 참여하여 국내 반도체 기술 및 인력 기반 조성에 기여

② 시스템IC 2010 등의 성과로 증가한 초기 팹리스 기업의 성장을 위해 추진 중인 **「스타팹리스 프로젝트(SF-10)」에 대해 관련기관간 지원 MOU 체결**

2. 행사 주요 내용

□ 일 정 : '11. 08. 23(화), 14:00~15:20 / 양재동 엘타워(6층 그레이스홀)

□ 참 석 : 김재홍(지경부 실장), 서영주(KEIT 원장), 최평락(KETI 원장), 김형준(서울대 교수) 등 산·학·연 관계자 총 200여명

□ 주요내용 : 유공자 포상(장관 표창, KEIT 원장 표창), 스타팹리스 MOU, 리셉션 등

구 분	시간계획	내 용	비 고
사전행사	14:00~14:20(20')	○ 티 타임	○ VIP
	14:20~14:40(20')	○ VIP 전시장 투어	○ VIP
주요행사	14:40~14:42(2')	○ 개 회	○사회자
	14:42~14:47(5')	○ 환 영 사	○사업단장(서울대 김형준 교수)
	14:47~14:50(3')	○ 축 사	○김재홍 지경부 성장동력실장
	14:51~14:52(2')	○ 격려사	○서영주 KEIT 원장
	14:52~15:05(13')	○ 유공자 포상	○성장동력실장, KEIT원장, 협회부회장
	15:05~15:10(5')	○ 감사패 전달	○협회 부회장
	15:10~15:20(10')	○ 스타팹리스 MOU 체결	○성장동력실장, 업계CEO 등

참고2 시스템반도체 2010 사업 개요

□ 사업 개요

○ 메모리(DRAM)분야 세계 최고 기술 확보에 이어 **시스템반도체 및 반도체 장비분야 초기 생태계 조성을** 위해 추진

○ 기반 기술[1], 제품 기술[2], 응용 기술[3] **3단계로 기술 기반 확보**

1) 반도체 설계의 기반이 되는 IP 위주 기술개발(1단계 : '98~'03)
2) 주변 칩(CIS, DDI 등) 위주의 제품 기술 개발(2단계 : '03~'07)
3) 융합 칩(바이오 칩, 자동차용 칩) 중심의 융합분야 기술 개발 (3단계 : '07~'11)

○ '98년부터 13년간 총 4,795억원(정부 2,476억원, 민간 2,319억원) 투자

(단위: 억원)

구 분	1단계('98~'03)	2단계('03~'07)	3단계('07~'11)	총 계
정 부	850	791	835	2,476
민 간	1050	772	497	2,319
합 계	1,900	1,563	1,332	4,795

□ 주요 성과

○ **국내 시스템반도체 산업 인력·기술의 기초적인 생태계 조성**

- **연간 100여개 기관 1,000여명 이상 참여**로 국내 시스템반도체 산업의 **기술 인력 기초 인프라 마련**

* 시스템반도체 국내 인력 : ('98) 4,500명 → ('05) 12,000명 → ('10년) 22,000명

- 일부 **주변 칩에서 세계적인 기술 확보로 글로벌 경쟁 가능성 확인**

* 국내 기업의 세계시장 점유율('10) : LDI(27.1%, 3위), CIS(14.5%, 2위), AP(53.2%, 1위)

○ **벤처로 시작한 팹리스가 시스템반도체 산업에 안착**할 수 있는 기반 제공

* 팹리스 기업수/생산 : ('98) 46개/12억불 → ('05) 100개/37억불 → ('10년) 170개/55억불
* 동 사업 참여기간 동안 매출 성장 : 실리콘 마이터스('07, 0원→'10, 520억원), 코아로직('98, 0원→'05, 1,623억원), 실리콘화일('04, 0원→'10, 724억원), 티엘아이('98, 0원→'05, 288억원) 등

○ 논문 1,477건 개제, 특허 435건 등록, 학술발표 2,409건 등 **연구 능력 제고**

- 『Nature Nanotechnology』, 『Advanced Materials』 등 세계적 학술지에 표지논문으로 게제

참고3 스타 팹리스(SF-10) 프로젝트 개요

□ 사업 개요

○ 창업초기 팹리스 기업을 발굴·육성하기 위해 **산업원천기술개발사업의 "스타팹리스 시스템반도체 세계화개발사업*"**으로 지원

* 3년간 총 90억원(정부 68억원, 민간 22억원) + 非 R&D 패키지 지원

- **선정 작업을** 위해 기술전문가 뿐만 아니라 반도체 펀드, 지원기관 등이 평가에 참여하여 **사업화 가능성 및 성장전략을 종합 평가**

* **기술력 평가 및 전시 평가(성장전략서 포함)**의 2단계 종합적 평가를 통해 선정

< '11년 SF-10 선정 기업 개요 >

(단위: 억원)

기업명	대표이사	개발 과제	자본	매출(10)	예산(11)
룩센테크놀로지	소명진	엑스선 검출기 센서 및 ROIC 개발	5.6	4.5	7.0
넥셀	강태원	GPU를 포함한 SoC개발	8.0	13.0	6.0
제퍼로직	정종척	디지털 가전기기용 전원 SoC 기술개발	19.3	12.5	5.3
클레어픽셀	정헌준	야간 기능이 향상된 차량용 이미지센서	63.9	14.9	4.4

□ MOU 개요

○ **(목적)** SF-10 프로젝트 **선정 기업의 성장에 필요한 부분을 '패키지'로 집중 지원**하기 위해 **관련 지원기관간** 협력 약정 체결

○ **(참여 기관) SF-10 선정기업**(룩센테크놀로지, 제퍼로직, 넥셀, 클레이픽셀), **반도체펀드 운영사**(일신창투, 아주아이비투자, 에스브이인베스트먼트, 아이비케이, 제이엔티인베스터먼트), **한국산업기술평가관리원, 한국전자통신연구원, 전자부품연구원, 반도체 협회**

< 패키지 지원 및 기관별 역할 >

분 야	지원내용	지원기관
기술확보	▪ 3년간 총 개발비의 75%범위내에서 20억원내외/년	한국산업기술평가관리원
창업보육	▪ 창업 보육 공간 제공(2년 까지)	한국전자통신연구원
설계환경	▪ 반도체 설계 및 검증에 필요한 EDA Tool 지원	한국전자통신연구원
시제품 제작	▪ 칩 상용화 시제품 제작 및 IP 지원 – 총 비용의 50%범위內 지원(기업당 3.5억원內)	한국전자통신연구원 전자부품연구원
인력확보	▪ 기술개발에 필요한 ETRI 소속 연구인력 파견지원	한국전자통신연구원
자금	▪ 반도체펀드 우선지원 검토 대상자로 편입 * 반도체펀드 1차분 600억원 기조성('10.12)	반도체펀드 운영사
글로벌화	▪ 해외시장 개척을 위해 필요한 시책을 지원	KOTRA/반도체 협회
사업화	▪ 제품 설계에 필요한 IP 및 연구 결과물 IP를 반도체설계재산유통센터에 등록 지원	특허청/반도체 협회

참고4 시스템반도체 2010 기술개발 유공자 현황

구분	소 속	직급	성명 (생년월일)	수공기간	공적 개요
지경부 장관 표창 (3)	LG실트론	연구소장	강희복 1964.09.20	20년	▪ 300mm Si Wafer 및 Epi Wafer 개발을 통해 국내 기술력을 확보 및 반도체 소자업체의 원가경쟁력을 향상시키는데 기여함
	주성 엔지니어링	수석	한정훈 1971.01.31	13년	▪ 65nm 이하급 반도체 소자 STI Gap Fill에 적합한 12인치 Wafer 공정용 박막증착장비 개발에 기여
	실리콘 마이터스	수석	정상화 1973.04.14	8년	▪ LCD 디스플레이용 전력제어반도체를 개발하여 국내 전력용 반도체 및 LCD 디스플레이 경쟁력 향상 및 수출 증대에 기여함
KEIT 원장상 (3)	서울대	교수	이창희 1964.11.26	17년	▪ 인쇄공정을 이용한 고성능 전자소자 및 회로개발
	하이닉스	상무	홍권 1965.11.03	16년	▪ CMOS 트랜지스터 게이트용 고유전체 금속 산화막, 금속전극, Strain engineering 기술 개발 및 이를 활용한 모바일 반도체 소자 개발
	실리콘화일	수석	안희균 1968.04.09	10년	▪ 3D wafer stacking 공정기법을 이용한 이미지 센서개발을 통해 size 축소, 고화소·저잡음 기술 실현
반도체 협회 장상 (3)	코아로직	대표	서광벽 1954.08.12	36년	▪ 양방향 모바일 화상통신기기용 멀티프로세서 개발을 통해 고속 Display기술 개발
	에이디칩스	상무	김관영 1966.05.25	22년	▪ 국내 최초 독자적 EISC(확장형 명령어 구조) 기술을 채용한 32/64bit 프로세서 코어 개발
	전자부품 연구원	책임	강병모 1971.10.11	11년	▪ 반도체 R&BD 국제화 및 기술경쟁력 제고, 국내 반도체 업계의 국제협력 지원
감사패 (2)	서울대	교수	김형준 1953.02.14	32년	▪ 2~3단계 연구기획 및 운영총괄 ▪ 2001~2011년 사업단장 역임
	서울대	교수	박영준 1952.11.17	28년	▪ 시스템IC2010사업 출범 ▪ 1998~2001년 사업단장 역임

참고5 시스템반도체 2010 사업 주요 성과물

1단계

64bit Embedded CPU/MCU Core 기술 및 Chip 개발
(개발기간 : '98. 12 ~ '03. 6 / 주관 : 에이디칩스)

○ 32bit CPU 국내 최초 개발 및 상용화 성공

○ **'01년~'07년까지** 기술이전 및 수출 등을 통해 **83억원 매출 달성**

○ 국내 독자적인 EISC((Extendable Instruction Set Computer) 구조를 채용한 32bit/64bit MCU 개발 마이크로프로세서 원천기술을 확보

* EISC(확장명령어 구조)는 기존의 RISC(축약명령어구조)처럼 하드웨어가 간단하면서도 CISC(복합명령어 구조)보다 프로그램 크기가 작은(code density가 높은) 새로운 구조의 마이크로프로세서

* EISC는 16bit, 32bit, 64bit 마이크로프로세서가 모두 동일한 기본 구조를 바탕으로 하고 있어, 마이크로프로세서의 개발과 확장 면에서 비교적 수월하게 개발할 수 있는 장점을 가지고 있음



300mm용 Si-Wafer 및 Epi 개발
(개발기간 : '98. 12 ~ '03. 6 / 주관 : LG실트론)

○ 300mm Wafer의 성공적 개발로 2004년 이후 4년간 7,000억원의 매출달성

○ 매년 수천억 원의 수입대체 효과를 달성함

○ 차세대 반도체 디바이스용 300㎜ Wafer 핵심기술을 국내 최초 개발

○ Wafer의 양면 연삭과 양면 연마가공 공정의 개발 및 최적화를 통하여 Wafer 표면 형상 제어 기술을 개발

○ 200mm Wafer 대비 면적이 2.3배 커짐에 따라 Chip당 비용이 30%의 절감되는 효과를 얻음



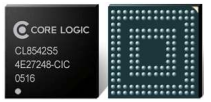
2단계

양방향 모바일 화상통신기기용 멀티미디어 프로세서 개발
(개발기간 : '03. 9 ~ '05. 8 / 주관 : 코아로직)

○ 삼성, LG 등 국내 주요 단말기시장에 신규 Application 공급 및 중국 Local 단말기 공급 업체에 개발칩을 판매하여 350억이상 매출달성

○ MPEG-4, H.264의 100% Hardwired Codec으로 자체 개발하여 국산화 실현 및 MPEG4 성능강화 및 H.264 등 신규 하드웨어 기술 적용

○ 3D 가속엔진, JPEG 이미지, 음성 및 오디오 관련 신기술 원천기술 확보



65nm급 반도체 소자 STI Gap Fill용 박막 증착공정 장비 개발
(개발기간 : '05. 9 ~ '07. 8 / 주관 : 주성엔지니어링)

○ 65nm이하급 반도체 소자 STI Gap Fill에 적합한 12' Wafer 공정용 박막 증착 장비 개발 및 국산화

○ 반도체 증착 공정 장비 중에 가장 High Technology인 HDPCVD장치의 국산화 및 플라즈마 사용 박막 식각 및 증착장비에 응용되어 국산화에 기여

○ 낮은 압력(~mTorr)에서 고효율(power factor>0.8), 고밀도(플라즈마 밀도>10^{12}/cm^3), 균일도(uniformity in 12" wf<5%) 플라즈마 확보를 위한 안테나 시스템 개발

○ 65nm이하급 디바이스에 대한 STI gap-fill 공정기술 개발을 위한 gap-fill메커니즘을 규명하고 이를 활용하여 STI gap-fill 특성 향상을 위한 공정기술 개발

○ 고밀도 플라즈마 형성, 낮은 압력에서 안정적인 플라즈마 소스, 이온 에너지제어 기술 개발



3단계

디스플레이 및 모바일용 PMIC 및 BMIC 개발
(개발기간 : '07. 9 ~ '11. 8 / 주관 : 한양대)

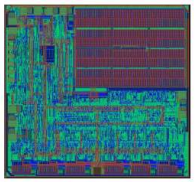
○ **개발 파워IC 상용화를 통해 총 765억 매출달성('08~'10년), 향후 매년 1,000억 매출 기대**

○ 세계 최초 GIP(Gate in Pannel) 및 DRD(Double Reduction Data Drive)기술 적용한 LCD패널 Multi Funtion 파워 IC개발

○ PMIC의 국산화 개발을 통해 Analog/Digital Power IC 분야 세계적 수준의 기술력 확보

○ 모바일 기기 내 각종 반도체를 구동하기 위한 전력변환회로를 단일 IC로 구현하여 정보기기의 소형화, 저전력 소비화에 대응하는 디스플레이용 PMIC 개발

○ 배터리 누설전류를 최소화하여 모바일 기기내 대기 구동 시간을 늘리게 되며, 외부입력전원 유무를 판별하여, 시스템 파워소스를 자동으로 변환하는 특징을 보유함



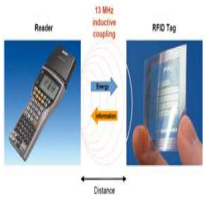
차세대 고성능 유기나노 소재 및 프린팅 공정기술 개발
(개발기간 : '07. 9 ~ '11. 8 / 주관 : 서울대)

○ "Nature", "Nature Nanotechnology", "Nano Letters", "Advanced Materials" 등의 세계 최고 권위의 학술지에 다수 게재됨

○ **2015년 이후 매년 7천억원 이상의 매출발생을 기대함**

○ 동 기술은 유연성 기판에서 트랜지스터, 메모리 등의 전자회로 성능을 크게 향상시켰을 뿐만 아니라 대면적으로 제작도 가능하다는 점에서 기술적, 경제적 성과가 매우 큼

○ 전사 인쇄법과 잉크젯 인쇄방법으로 유연성 기판위에 자유로운 패턴이 가능하고, 이러한 방법을 사용하면서도 기존에 발표된 것보다 더 높은 성능을 나타내는 전자회로를 구현하였음



3D Integration을 이용한 차세대 이미지 센서 개발
(개발기간 : '07. 9 ~ '11. 8 / 주관 : 실리콘화일)

○ 3D integration 공정기술을 사용하여 극소형 카메라인 휴대전화용 센서용 CIS를 세계최초개발

○ 3D CIS용 High Speed I/O digital block을 최신 표준에 맞추어 설계하고 이를 제품에 적용하여 양산화

○ Wafer Stacking에서 제일 중요한 요소인 Align-Accuracy를 세계 최고 정밀도 수준으로 달성/구현

○ 향후, 3DIC 기술개발 상용화를 통한 매출증대가 예상되며, 본 사업에서 개발된 IP는 양산중인 3메가픽셀, 5메가픽셀 실리콘화일 이미지센서 제품에 최적화하여 적용되고 있으며, 이로 인한 **예상매출액은 약500억원 이상으로 기대됨**


mis-align < 0.7um

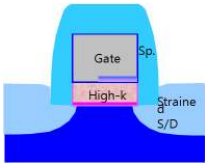
차세대소자의 트랜지스터 공정기술 개발
(개발기간 : '07. 9 ~ '11. 8 / 주관 : (주)하이닉스반도체)

○ INTEL과 차별화 되는 CMOS 트랜지스터 형성 제조공정 기술의 세계최초확보

○ CMOS 트랜지스터 게이트용 고유전체 금속 산화막, 금속전극 그리고 Strain engineering 기술 개발을 통한 저전력, 고성능 모바일 반도체 소자의 개발

○ 40나노급 DRAM 메모리 소자 개발을 통한 반도체 제조기술 확보 및 향후 20나노급 DRAM 메모리 소자 적용 가능성 확인

○ 2011년은 고유전체 금속 산화막, 금속전극 그리고 Stain engineering 기술이 접목된 CMOS 트랜지스터 적용 반도체 소자 제품군으로 빠른 속도로 전환되는 중요한 시점으로 우수 기술력 확보를 통한 국내 반도체 산업 진흥 기여 예상



반도체 R&D 국제협력사업

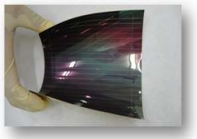
(개발기간 : ‘07. 9 ~ ‘11. 8 / 주관 : 전자부품연구원)

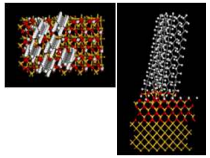
○ 장비재료, 설계, 新공정 등 반도체 국내 3대 취약분야에 대한국제공동 R&D(美, 日, EU 등)수행을 통한 원천기술 및 기술개발 노하우 확보, 인력양성 및 현지 사업화 추진

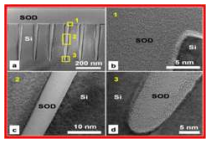
- [장비재료] 차세대 미세공정(32나노급) 장비에 대한 선행 기술 공동개발(UTD) 및 국산 장비의 성능평가(SEMATECH)

- [新공정] 차세대 공정 원천기술 조기선점을 위한 비휘발성 메모리(PRAM, ReRAM), 배선기술 개발(스탠포드大)

- [설계] 국내 자체적으로 확보가 어려운 설계기술 확보로 비메모리분야 기술경쟁력 제고(버클리大)







○ 韓美 정부간 협력채널로 미국 주정부(텍사스주) Matching Fund(60억원; 4년)를 확보함

○ 국내 기업 등이 참여한 31개 과제를 총괄하여 핵심기술 31건, 논문·특허 90여건, 반도체 전문인력 50여명 양성 지원

○ 美 IBM에 열처리 퍼니스 장비(90억원, 풍산), 액상절연체 SOD(50억원, 동진), 대만 TSMC에 에피성장 공정 장비(100억원, 주성), 美, 멕시코 등에 ALD 증착장비(NCD, 10억) 매출연계