



반도체 첨단패키징 대규모 연구개발(R&D) 지원 착수

- 『반도체 첨단패키징 선도기술개발사업』 예비타당성 조사 통과
- '25~'31년간 총 2,744억 원 지원

차세대 반도체 산업을 이끌어갈 고집적, 고기능, 저전력 기능 구현을 위한 반도체 첨단패키징 초격차 기술확보를 목표로 2,744억 원 규모의 정부 연구개발(R&D) 사업이 추진된다. 이를 통해 HBM, 모바일 AP 등 첨단반도체의 핵심기술로 주목받고 있는 패키징의 국내 기술 경쟁력을 강화한다.

* 첨단패키징 : 반도체의 성능·전력·내구성을 높이기 위해 신기술과 재료 등을 도입

산업통상자원부(장관 안덕근)는 6월 26일(수) 개최된 국가연구개발사업평가총괄위원회(위원장 : 과학기술혁신본부장)에서 “반도체 첨단패키징 선도기술개발사업”이 총사업비 2,744억 원 규모로 예비타당성 조사를 통과하였다고 밝혔다.

* 과학기술정보통신부 「국가연구개발사업평가 총괄위원회」 보도자료('24.6.26.(수)) 참고

* '23.9월 예타 대상 신청 → '23.12월 예타 대상 선정 → '24.6월 예타 통과

첨단패키징은 디지털 전환에 따른 저전력·고성능을 구현하기 위한 다기능·고집적 반도체 수요증가로 반도체 공정 미세화 기술의 한계 극복 및 개발소자들의 단일 패키지화 필요성에 따라 핵심기술로 부상하였다.

* 첨단패키징 시장전망('23, YOLE) : ('22년) 443억불 → ('28년) 786억불(CAGR 10%)

정부는 AI반도체, 화합물반도체 지원 등과 더불어 변화하는 첨단패키징의 적기 지원을 위해 ①칩렛, 3D 등 차세대 중점기술 확보를 위한 첨단 선도기술개발, ②2.5D, Fan-out 등 고부가 모듈 구현을 위한 핵심 소부장, 검사 및 테스트 기술개발 및 ③글로벌 첨단기술과 인프라를 보유한 기관과의 협업을 통한 수요 기술개발 등을 추진한다. 이를 통해 첨단패키징 초격차 기술 확보 및 기업의 글로벌 시장진출을 촉진하고, 국내 반도체 공급망 안정성을 강화하는데 기여할 것으로 기대된다.

담당 부서	첨단산업정책관 반도체과	책임자	과 장	이규봉 (044-203-4270)
		담당자	사무관	라정인 (044-203-4276)

참고 1

반도체 첨단패키징 선도기술개발 사업 개요

□ 추진 배경

- 디지털 전환에 따른 고성능·다기능 반도체 수요증가에 따라 미세 공정의 기술적 한계 극복을 위한 핵심 기술로 첨단패키징 부상
 - * 첨단패키징 : 반도체의 성능·전력·내구성을 높이기 위해 신기술, 공정, 소재 등 도입
- 우리 기업이 취약한 후공정 분야의 첨단패키징 기술을 선점하여 글로벌 반도체 공급망 내 선도적인 지위 공고화 필요

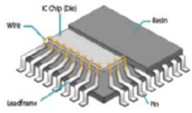
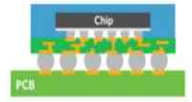
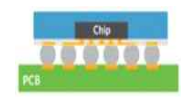
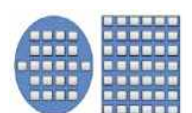
□ 사업 개요

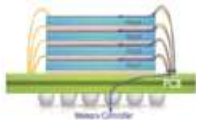
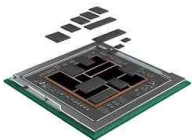
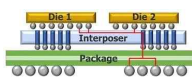
- (목표) 高집적·高기능·低전력화 첨단 패키징 초격차 기술 확보
- (지원) 7년('25~'31년) / 총사업비 약 2,744억원
- (구성) ①기술선도형, ②기술자립형, ③글로벌 기술확보형

내역사업	주요내용
①기술선도형 첨단패키징 기술개발	■ 선진 경쟁사에서 개발 중이거나 5년에서 10년 사이에 시장적용이 확대될 가능성이 높은 차세대 패키징 핵심 기술에 대한 선제적 기술개발 ■ (목표) 칩렛, 재배선 인터포저, 3D 패키지 등 차세대 패키지 핵심 기술 확보를 통해 차세대 고부가 시스템 반도체 소재, 공정, 장비 분야의 압도적 시장 경쟁력 확보
②기술자립형 첨단패키징 기술개발	■ 글로벌 선진 종합 반도체 기업이 양산 중인 고부가 모듈 구현에 필요한 첨단패키징 기술과 검사, 테스트 등의 소재, 부품, 장비 공급망 내재화 기술개발 ■ (목표) 글로벌 선도기업이 생산하고 있는 2.5D, Fan-In/Fan-Out(WLP, PLP), FCBGA 공정 기술 및 이와 연관된 측정 검사·테스트 기술은 물론 소재, 부품, 장비 공급망을 내재화하여 국가 전략 자산 확보
③글로벌 기술확보형 첨단패키징 기술개발	■ 첨단패키징 시장 확대를 위해 글로벌 기술선도 기관과의 공동R&D, 국제 첨단패키징 로드맵 작업 등 기술협력 ■ (목표) 국내 패키징 관련 장비/소재 기업들의 글로벌 공급망 진입을 위한 국제 협력 및 공동 연구를 통한 시장 진입 문턱 완화

참고 2

반도체 주요 패키징 기술별 특징

구분	패키징 기술	특징	예시
컨벤셔널 패키징	와이어본딩-리드프레임	- 리드프레임* 위에 칩을 와이어로 본딩한 후 몰딩하는 전통적인 패키징 방식 * 반도체 칩을 올려 부착하는 금속 기판 - 대체로 구조가 상대적으로 간단하고 출력 단자(I/O)가 적은 칩에 적합	
	와이어본딩-BGA (Ball Grid Array)	- 리드프레임 대신 기판을 사용하는 패키징 방식으로 기판과 반도체 칩을 와이어로 본딩 - 리드프레임 대비 작고 얇으며 입출력 단자가 많고 전기적 특성 우수	
웨이퍼 레벨 패키징	FC (Flip-chip)	- 웨이퍼에 기판과 연결할 수 있는 접합식 - 와이어 본딩 대비 연결 단자(I/O) 개수, 위치가 자유로워 전기적 특성 우수	
	Fan-In WLP (Wafer Level Chip Scales Package)	- 패키징 공정 전체를 웨이퍼 레벨로 진행한 패키징 방식 - 기판과 같은 매개체 없이 솔더볼이 칩 위에 바로 붙어 전기적 전달 경로가 짧아 전기적 특성이 우수하고 더 얇은 패키징 가능	
	Fan-Out WLP (Wafer Level Chip Scales Package)	- Fan-In WLP과 달리 웨이퍼에서 칩을 자른 후 잘라진 칩을 웨이퍼 형태의 캐리어에 재배열하여 패키징 공정 진행 - 칩보다 배선 영역이 넓어져 더 많은 I/O 단자를 넣을 수 있음	
	PLP (Panel Level Package)	- 웨이퍼 형태의 캐리어가 아닌 패널 형태의 캐리어에 칩을 재배열한 후 공정 진행	

구분	패키징 기술	특징	예시
적층 패키징	MCP (Multi Chip Package)	- 반도체 칩을 여러 개 적층해서 용량과 성능 개선, 주로 와이어로 연결	
	PoP (Package on Package)	- 패키징이 완료된 칩을 솔더볼 등을 이용하여 삼차원적으로 연결하는 방식	
	SiP (System in Package)	- 서로 다른 기능의 칩을 하나로 패키징 하는 방식 - 칩 간 접속 경로를 줄여 고성능, 우수한 전기적 특성 지님	
	TSV (Through Hole Via)	- 실리콘 칩에 구멍(Via Hole)을 뚫어 상하단칩을 전극으로 연결하는 방식 - 고성능 메모리 반도체 칩에 적용되어 대용량 구현 가능	
이종 접합 패키징	Chiplet	- 시스템 반도체를 구성하는 IP 별로 칩(chiplet)을 각각 제작한 후 이를 패키징을 통해 조립, 연결하여 하나의 시스템을 구성 - 시스템 반도체 성능향상, 제조비용 절감, 높은 확장성 등의 특성 지님	
	2.xD Package	- 칩과 기판 사이에 고밀도 배선이 가능한 실리콘 기반의 인터포저를 삽입하여 이종집적 칩 사이에 광대역, 고속 연결	
	3D Package	- 인터포저를 사용하지 않고 다양한 칩들을 수직으로 적층하여 초고속, 광대역 데이터 전송이 가능하게 하는 기술	