산업통상부 보도자료

보도시점 2025. 11. 26.(수) 11:00 < 11. 27.(목) 조간 > 배포 2025. 11. 26.(수)

반도체 패키징 공정 국제표준화 본격 추진

- 2025 반도체 표준화 포럼 개최 -

산업통상부 국가기술표준원(원장 김대자)은 11월 26일(수), 서울에서 삼성전자, SK하이닉스 등 국내 반도체 전문가 90여명이 참석한 가운데 「2025 반도체 표준화 포럼」을 개최하였다.

이번 포럼은 세계 3대 반도체 표준화 기구인 IEC의 반도체소자 기술위원회, 국제반도체장비재료협회(SEMI) 및 국제반도체표준협의회(JEDEC)의 전문가가 참여하여 첨단 반도체 패키징(후공정)과 인공지능(AI) 관련 반도체 표준화 동향을 논의하였다.

먼저, IEC 분야는 우리나라가 지난주 일본에서 열린 IEC 반도체소자 회의에서 제안한 신규 국제표준안 2건을 소개했다. 우리나라가 제안한 표준은 ▲범프(중간 구조물) 없이 웨이퍼 간 직접 접합하는 하이브리드 본딩 강도 평가 방법 ▲전력반도체 웨이퍼 다이싱(절단) 정밀도 평가방법 이다. 이 두 가지 표준은 웨이퍼 접합과 칩(다이) 분리 공정의 신뢰성을 객관적으로 평가하는 기준이다. 향후 국내 반도체 패키징 및 공정 장비 기업들이 글로벌 고객사와의 사양 정합 및 중복 시험 부담을 줄이는데 도움이 될 것으로 기대된다.

SEMI(국제반도체장비재료협회)는 첨단 패키징 공장 자동화를 위한 표준화 이슈를 주제로, 반도체 패널 및 대형 기판의 이송·취급 등 자동화 운영 전반의 표준화 활동을 소개했다.

JEDEC(국제반도체표준협의회)은 저전력 PIM(Processing-In-Memory) 메모리 필요성과 표준화 방안을 발표하고, 온디바이스 AI를 위한 메모리 반도체 표준화 동향을 공유했다.

김대자 국표원장은 “그 간 WTO 체제하에서 IEC와 같은 공적 국제표준이 무역의 공통언어로 작동해 왔으나, 최근 SEMI·JEDEC 등 글로벌 사실상 표준의 영향력이 확대되고 있다”면서, “국내 기업들이 이러한 글로벌 표준화 기구에서 주도적으로 참여할 수 있도록 지원해 나가겠다”고 밝혔다.

담당 부서	표준정책국 전기전자정보표준과	책임자	과 장	이경희 (043-870-5360)
		담당자	연구사	안형진 (043-870-5362)

대한민국 정책브리핑

OPEN 출처표시 공공누리 공공저작물 자유이용허락

붙임1 **반도체 패키징 분야 IEC 신규 국제표준 제안 개요**

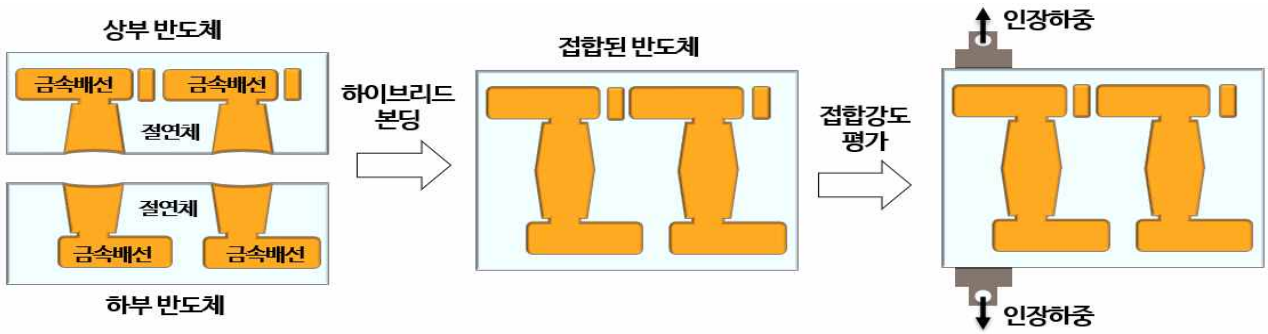
1 하이브리드 본딩 강도 평가방법

○ **(추진배경)** 하이브리드 본딩은 반도체 금속 배선과 절연체를 동시에 접합하여, 신호 손실을 줄이고 연결 밀도를 높여주는 3차원 패키징 핵심 기술

- 그러나, 접합 강도 등 품질을 평가하는 국제표준 시험방법이 부재

○ **(주요내용)** 접합된 반도체 양쪽에 인장하중을 가해, 접합면에서 나타나는 균열의 변화를 측정하는 시험 절차와 방법 등을 표준화

<하이브리드 본딩 및 강도 평가방법 개요>



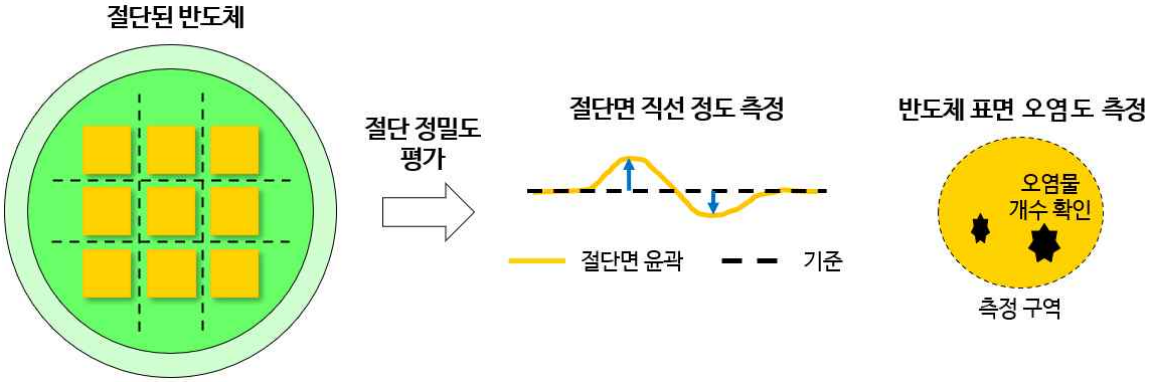
2 전력반도체 다이싱 정밀도 평가방법

○ **(추진배경)** 전기차, 항공우주 등 고신뢰성 분야에서 전력반도체(SiC 등) 수요가 늘면서, 반도체 다이싱이 수율·신뢰성에 미치는 중요성이 증가

- 특히, 전력반도체는 단단하고 깨지기 쉬운 특성이 있어 정밀한 평가가 필요

○ **(주요내용)** 반도체 절단면의 직선 정도, 기울기 등 치수 특성과 오염도, 손상 등 표면·재료 특성을 평가하는 시험 절차와 방법 등을 표준화

< 다이싱 정밀도 평가방법 개요>



붙임2 **반도체 표준화 포럼 개최 개요**

□ 추진배경

○ 산업계의 수요가 높은 JEDEC, SEMI 등 사실상 표준화 기구와 공동 포럼을 개최하여 기업 참여를 확대하고, 표준 활용 및 보급 확산 도모

□ 행사개요

○ **(일시/장소)** 2025년 11월 26일(수) 14:00 / 스포타임 멜론홀(5층)

○ **(주최/주관)** 산업부 국가기술표준원 / 한국반도체산업협회

○ **(참석자)** 반도체 관련 국내 산·학·연·관 관계자 약 90명

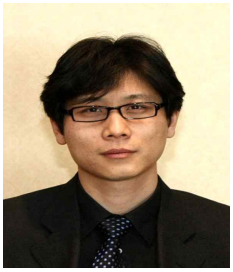
○ **세부 프로그램(안)**

[진행 : 좌성훈 교수]

시간	주제		연사
14:00~14:02 ('2)	개회사		국가기술표준원
14:02~14:06 ('4)	JEDEC 환영사		JEDEC 미안 쿠더스(Mian Quddus) 의장
14:06~14:10 ('4)	SEMI 환영사		SEMI 폴 트리오(Paul Trio) 이사
14:10~14:30 ('20)	IEC	국내에서 진행되는 주요 표준화 활동 소개	서울과학기술대학교 좌성훈 교수
14:30~15:00 ('30)	SEMI	첨단 패키징 공장 자동화 표준화 이슈	Acteon NEXT LLC 쇼지 코마스
15:00~15:10 ('10)	Break Time		
15:10~15:40 ('30)	JEDEC	AI 응용을 위한 LP-PIM의 필요성과 표준화	삼성전자 최지현 책임
15:40~16:00 ('20)	하드웨어 설계를 위한 HBM4 기술 표준의 이해		EMC Doctors 김종훈 대표
16:00~16:30 ('30)	자동차용 반도체 표준개발 현황		한국자동차연구원 연규봉 수석
16:30~17:00 ('30)	패널 토의		
17:00~18:00 ('60)	식사 교류		

※ JEDEC, SEMI 환영사는 사전 녹화 영상 송출 예정

붙임3 **포럼 연사 및 주요내용**

연사		발표내용
	**좌성훈** 서울과학기술대학교 교수	**[국내에서 진행되는 주요 표준화 활동 소개]** 본 발표에서는 국가 차세대 반도체 표준화 전략에 대한 간단한 소개와 세부 추진 과제에 대해서 설명한다. 특히 IEC TC47에서 한국이 새롭게 추진하고 있는 표준화 테마인, 반도체 검사장비, 패키징 공정, 뉴로모픽 소자, 바이오 반도체 관련 표준화 활동에 대해서 설명한다. 또한 기업과의 표준화 연계방안에 대해서 제안한다.
	**쇼지 코마스** **(Shoji Komatsu)** SEMI Acteon NEXT LLC 대표	**[첨단 패키징 공장 자동화 표준화 이슈]** SEMI 첨단 패키징 분야 표준화 활동 소개한다. 특히, 310mm 정사각형 패널과 인터포저, 기판 공정 자동화 영역에서의 표준 개발 활동의 진행 상황을 설명한다.
	**최지현** JEDEC 삼성전자 책임	**[AI 응용을 위한 LP-PIM의 필요성과 표준화]** AI의 발전에 따라 메모리 대역폭 요구가 급격히 증가하고 있고 이에 대응하기 위한 차세대 메모리 solution으로써 LP-PIM의 컨셉과 필요성을 소개하고 표준화 현황 공유한다.
	**김종훈** EMC Doctors 대표	**[하드웨어 설계를 위한 HBM4 기술 표준의 이해]** HBM4 메모리의 활용(Application) 및 검사(평가/Test) 등을 위하여, 회로 및 보드 설계자가 알아야 하는 주요한 JEDEC 기술 표준의 이해를 목표로, HBM 내부 블록 구조, Timing Diagram, IO Model 등을 소개한다.
	**연규봉** 한국자동차연구원 수석	**[자동차용 반도체 표준개발 현황]** 자동차용 반도체와 관련된 ISO/IEC 국제표준화에 대한 소개와 사실상 단체 표준인 AEC/AQG324 등에 대한 소개를 통해서 향후 R&D 관점에서의 표준화 대응 방안과 연계 방안에 대해 제고할 수 있는 기회를 제공하고자 한다.